

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: G11C 8/00

(11) Publication No.: P2001-0108751

(43) Publication Date: 08 December 2001

(21) Application No.: 10-2000-0029645

(22) Application Date: 31 May 2000

(71) Applicant:

Hynix Semiconductor Inc.

San 136-1, Ami-ri, Bubal-eup, Ichon-City, Kyunggi-do, Korea

(72) Inventor:

RYU, JAE HOON

HAN, JONG HEE

(54) Title of the Invention: Control and Address Device of Semiconductor Memory Device for Providing Address Access Time and Data Access Time at High Speed

Abstract:

Provided are control and address devices included in a semiconductor memory device. The semiconductor memory device includes an internal clock generator providing tAA (address access time) and tAC (data access time) at high speed by including a delayed locked loop, which generates an internal clock, in addition to controlling the internal control and address device by an external clock. To this end, the semiconductor memory device includes a clock input buffer receiving and buffering an external buffer; a delayed locked loop receiving an output of the clock input buffer and generating an internal clock synchronized with a clock; a control buffer receiving the internal clock output from the delayed locked loop and a control input signal and generating a control signal; an address buffer receiving the internal clock output from the delayed locked loop and an address input signal and generating an address; and a command decoder receiving the control signal output from the control buffer 320 and generating various commands by combining the control signal.

특 2001-0108751

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2001-0108751
G11C 8/00 (43) 공개일자 2001년12월08일

(21) 출원번호 10-2000-0029645
(22) 출원일자 2000년05월31일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 류제훈
서울특별시광진구중곡4동100번지12호
한중희
경기도성남시분당구야탑동장미마을807-1304
(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 메모리 장치에서 어드레스 및 데이터 액세스타임을 고속으로 하는 제어 및 어드레스 장치

요약

본 발명은 반도체 메모리 장치의 제어 및 어드레스 장치에 관한 것으로, 외부클럭으로부터 내부 제어 및 어드레스 장치를 제어하는 경로에 내부클럭을 발생하는 지연고정루프를 첨가함으로써 tAA(어드레스 액세스 타임)과 tAC(데이터 액세스 타임)을 고속으로 할 수 있는 내부클럭 발생 장치를 제공하는데 그 목적이 있다. 이를 위하여 본 발명은 반도체 메모리 장치에 있어서, 외부클럭을 입력받아서 버퍼링하는 클럭 입력 버퍼; 상기 클럭 입력 버퍼의 출력을 입력받아서 클럭에 동기된 내부 클럭을 발생하기 위한 지연고정루프; 상기 지연고정루프에서 출력된 내부클럭과 제어입력신호를 입력받아 제어신호를 생성하기 위한 제어 버퍼; 상기 지연고정루프에서 출력된 내부클럭과 어드레스입력신호를 입력받아 어드레스를 발생하기 위한 어드레스 버퍼; 및 상기 제어 버퍼(320)로부터 출력된 제어신호를 입력받아 제어신호의 조합에 의해서 여러가지 명령을 생성하기 위한 커맨드 디코더를 포함하여 이루어진다.

도면도

도3

색인어

클럭제어부, 제2클럭발생부, 지연고정루프클럭버퍼부, 클럭구동부, 카스버퍼부, 카스래치부.

참고문헌

도면의 간단한 설명

- 도1은 종래 기술의 외부 클럭을 버퍼링하여 내부 클럭으로 사용한 제어 및 어드레스단의 블록도,
- 도2는 종래기술의 외부클럭과 내부클럭 간의 시간 차를 나타내는 타이밍도,
- 도3은 본 발명의 제어 및 어드레스단의 블록도,
- 도4는 본 발명의 외부 클럭과 지연 고정된 내부클럭의 시간 차를 나타내는 타이밍도,
- 도5는 본 발명의 제어 및 어드레스단의 구체적인 실시예를 나타낸 블록도,
- 도6은 카스래치부의 상세한 회로도,
- 도7은 지연고정루프클럭버퍼부의 상세한 회로도,
- 도8은 제2클럭발생부의 상세한 회로도,
- 도9는 클럭구동부의 상세한 회로도,
- 도10은 클럭 제어부의 상세한 회로도,
- 도11은 카스버퍼부의 상세한 회로도,

* 도면의 주요부분에 대한 부호의 설명 *

300 : 클럭 입력 버퍼 310 : 지연고정루프
320 : 제어 버퍼 330 : 어드레스 버퍼
340 : 커맨드 디코더

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 지연고정루프 클럭을 사용하여 내부 클럭을 발생시키는 제어 및 어드레스 장치에 관한 것이다.

일반적으로 지연고정루프는 반도체메모리 장치에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 예러 없이 외부 클럭과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클럭이 내부에서 사용될 때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 클럭이 외부에서 들어오는 클럭과 동일하도록 하기 위해서 사용한다.

점점 고속화되어가는 시스템의 주파수에 부합하기 위하여 디램 내부의 클럭에 동기되어 출력되는 데이터 액세스 타임도 빨라야 한다. 이러한 고속화를 수행하기 위하여 디램 내부에서의 교류 파라미터(AC Parameter) 중에 중요시되고 있는 것으로 tAA(어드레스 액세스 타임)와 tAC(데이터 액세스 타임)이 있다. 이들의 클럭으로부터 어드레스 및 데이터의 접근 속도가 빠르면 점점 고속화되어가는 메모리 소자의 성능을 향상시킬 수 있는 것이다.

도1은 종래 기술의 외부 클럭을 버퍼링하여 내부 클럭으로 사용한 제어 및 어드레스단의 블록도이다.

상기 도1을 참조하면, 종래기술의 제어 및 어드레스단은 외부 클럭을 입력받아 내부클럭을 생성하기 위한 클럭 입력 버퍼(100)와, 상기 내부클럭과 제어입력신호를 입력받아 제어신호를 생성하기 위한 제어 버퍼(110)와, 상기 내부클럭과 어드레스입력신호를 입력받아 어드레스신호를 생성하기 위한 어드레스 버퍼(120)와, 상기 제어 버퍼(110)로부터 제어신호를 입력받아 제어신호의 조합에 의해서 여러가지 명령을 생성하기 위한 커맨드 디코더(130)를 구비한다.

도1에서 도시된 바와 같이 종래의 제어 및 어드레스단은 외부클럭을 입력받아서 버퍼링하는 클럭 입력 버퍼(100)를 통하여 생성된 내부클럭이로우 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 라이트 인에이블 신호, 칩 선택 신호등을 클럭에 동기시키는 신호로 사용된다.

도2는 종래기술의 외부클럭과 내부클럭 간의 시간 차를 나타내는 타이밍도이다.

상기 도2를 참조하면, 외부클럭이 상승하는 시간으로부터 클럭 입력 버퍼(100)를 거쳐서 내부 클럭이 생성되기까지 약 1.5나노초가 걸린다. 즉 외부클럭이 상승하는 시간으로부터 약 1.5나노초 후에 내부클럭이 상승하므로 제어버퍼(110)를 거쳐서 제어신호를 발생시키고 커맨드 디코더(130)를 거쳐서 각종 명령을 발생시키는데 전체적으로 1.5나노초의 시간 지연을 가진다.

따라서, 종래기술의 제어 및 어드레스단의 구조는 tAA(어드레스 액세스 타임)와 tAC(데이터 액세스 타임)에 있어서, 전체적으로 약 1.5나노초의 손해를 유발시키는 문제점이 발생한다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로써, tAA(어드레스 액세스 타임)와 tAC(데이터 액세스 타임)을 고속으로 할 수 있는 내부클럭 발생 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 제어 및 어드레스 장치는 반도체 메모리 장치에 있어서, 외부클럭을 입력받아서 버퍼링하는 클럭 입력 버퍼; 상기 클럭 입력 버퍼의 출력을 입력받아서 클럭에 동기된 내부 클럭을 발생하기 위한 지연고정루프; 상기 지연고정루프에서 출력된 내부클럭과 제어입력신호를 입력받아 제어신호를 생성하기 위한 제어 버퍼; 상기 지연고정루프에서 출력된 내부클럭과 어드레스입력신호를 입력받아 어드레스를 발생하기 위한 어드레스 버퍼; 및 상기 제어 버퍼(320)로부터 출력된 제어신호를 입력받아 제어신호의 조합에 의해서 여러가지 명령을 생성하기 위한 커맨드 디코더를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

도3은 본 발명의 제어 및 어드레스단의 블록도이다.

상기 도3을 참조하면, 본 발명의 제어 및 어드레스단은 외부클럭을 입력받아서 버퍼링하는 클럭 입력 버퍼(300)와, 상기 클럭 입력 버퍼(300)의 출력을 입력받아서 클럭에 동기된 내부 클럭을 발생하기 위한 지연고정루프(310)와, 상기 지연고정루프(310)에서 출력된 내부클럭과 제어입력신호를 입력받아 제어신호를 생성하기 위한 제어 버퍼(320)와, 상기 지연고정루프(310)에서 출력된 내부클럭과 어드레스입력신호를 입력받아 어드레스를 발생하기 위한 어드레스 버퍼(330)와, 상기 제어 버퍼(320)로부터 출력된 제어신호를 입력받아 제어신호의 조합에 의해서 여러가지 명령을 생성하기 위한 커맨드 디코더(340)를 구비한다.

상기 도3에서 도시한 바와 같이 클럭 입력 버퍼(300)의 다음단에 지연고정루프(310)를 삽입함으로써 클럭 입력 버퍼(300)를 통해 지연된 신호가 지연고정루프(310)를 통해서 외부 클럭이 상승할 때 같이 상승하도록 외부 클럭에 동기되므로 시간 지연 없이 내부 클럭을 생성할 수 있다.

도4는 본 발명의 외부 클럭과 지연 고정된 내부클럭의 시간 차를 나타내는 타이밍도이다.

상기 도4를 참조하면, 외부클럭이 상승할 때 외부 클럭에 동기되어 시간 지연 없이 지연 고정된 내부클럭이 발생함을 알 수 있다. 상기 지연 고정된 내부클럭으로 제어신호와 어드레스신호를 생성하면 전체적으로 데이터의 액세스하는 시간(tAC)과 어드레스를 액세스하는 시간(tAA)을 빠르게 할 수 있다. tAA(어드레스 액세스 타임)과 tAC(데이터 액세스 타임)을 빠르게 하면 속도면에서 칩의 성능을 향상시켜 고주파에서도 원하는 동작을 가능하게 한다.

도5는 본 발명의 제어 및 어드레스단의 구체적인 실시예를 나타낸 블록도이다.

상기 도5를 참조하면, 본 발명의 제어 및 어드레스단은 지연고정루프 비활성화신호(dis_dll)와 지연고정루프 리셋신호(dll_resetz)와 파워업신호(pwrup)와 셀프리프레쉬응답신호(sref req)와 셀프리프레쉬신호(sr)를 입력받아 카스 버퍼부(540)를 제어하기 위한 클럭 제어부(500)와, 클럭(clk)과 반전된 클럭(clkz)과 파워업신호(pwrup)를 입력받아 클럭구동부(530)와 카스래치부(550)를 제어하는 제2클럭(clkp2)을 발생하기 위한 제2클럭발생부(510)와, 지연고정루프로부터의 지연고정루프상승클럭(rcik_dll)을 입력받아 시간지연과 버퍼링을 하기 위한 지연고정루프클럭버퍼부(520)와, 상기 제2클럭(clkp2)과 상기 지연고정루프클럭버퍼부(520)의 출력인 지연고정루프제2클럭(dll_clkp2)과 상기 클럭제어부(500)의 출력인 클럭선택신호(sel_clkz)를 입력받아 지연고정루프에 의해서 제어받는 제4클럭(clkp4)을 생성하기 위한 클럭구동부(530)와, 상기 클럭제어부(500)의 출력신호인 지연고정루프제어신호(dll_ctriz)와 외부로부터의 카스신호(casz)와 기준전압(vref)을 입력받아 버퍼링하기 위한 카스버퍼부(540)와, 상기 카스버퍼부(540)의 출력인 내부카스신호(cas2, cas2z)와 상기 제2클럭(clkp2)과 상기 지연고정루프제2클럭(dll_clkp2)과 상기 지연고정루프제어신호(dll_ctriz)와 상기 카스신호(casz)와 기준전압(vref)을 입력받아 카스버퍼부(540)를 거친 신호를 래치하기 위한 카스래치부(550)를 구비한다.

도6은 상기 카스래치부(550)의 상세한 회로도이다.

상기 도6을 참조하면, 카스래치부(550)는 상기 지연고정루프제어신호(dll_ctriz)와 상기 지연고정루프제2클럭(dll_clkp2)과 상기 제2클럭(clkp2)을 입력받아 제어신호를 발생시키는 제어부(600)와, 상기 제어신호와 상기 내부카스신호(cas2, cas2z)와 상기 카스신호(casz)를 입력받아 래치하기 위한 래치부(610)를 구비한다.

구체적으로, 상기 래치부(610)는 통상적인 차동 증폭기로 구성되었으므로 상세한 구성 설명은 생략한다.

도7은 상기 지연고정루프클럭버퍼부(520)의 상세한 회로도이다.

상기 도7을 참조하면, 지연고정루프클럭버퍼부(520)는 지연고정루프로부터의 지연고정루프상승클럭(rcik_dll)을 입력받아 버퍼링하는 짝수개의 다수의 인버터를 구비한다.

도8은 상기 제2클럭발생부(510)의 상세한 회로도이다.

상기 도8을 참조하면, 제2클럭발생부(510)는 클럭(clk)과 반전된 클럭(clkz)과 파워업신호(pwrup)를 입력받아 파워가 인가되면 클럭을 버퍼링하고 증폭하기 위한 버퍼부(800)와, 상기 버퍼부(800)의 출력신호를 입력받아 펄스를 생성하기 위한 펄스생성부(810)를 구비한다.

구체적으로, 상기 버퍼부(800)는 통상의 전류 미러(Current Mirror)로 이루어져 있으므로 상세한 구성 설명은 생략한다.

도9는 상기 클럭구동부(530)의 상세한 회로도이다.

상기 도9를 참조하면, 클럭구동부(530)는 상기 지연고정루프제2클럭(dll_clkp2)과 상기 클럭선택신호(sel_clkz)에 응답하는 제1삼상버퍼(900)와, 상기 제2클럭(clkp2)과 상기 클럭선택신호(sel_clkz)에 응답하는 제2삼상버퍼(910)와, 상기 제2삼상버퍼(910)의 출력을 입력받아 제4클럭(clkp4)을 출력하기 위한 출력부(930)와, 상기 제4클럭(clkp4)을 입력받아 제4클럭(clkp4)의 펄스 폭을 결정하기 위한 지연부(920)를 구비한다.

도10은 상기 클럭 제어부(500)의 상세한 회로도이다.

상기 도10을 참조하면, 클럭 제어부(500)는 지연고정루프 비활성화신호(dis_dll)와 지연고정루프 리셋신호(dll_resetz)와 셀프리프레쉬응답신호(sref req)와 셀프리프레쉬신호(sr)를 입력받는 입력부(1000)와, 상기 입력부(1000)의 출력과 파워업신호(pwrup)를 입력받아 래치하고 클럭선택신호(sel_clkz)를 출력하기 위한 래치 및 출력부(1010)를 구비한다.

도11은 상기 카스버퍼부(540)의 상세한 회로도이다.

상기 도11을 참조하면, 카스버퍼부(540)는 카스신호(casz)와 기준전압(vref)을 비교하여 버퍼링하기 위한 버퍼부(1100)와, 상기 버퍼부(1100)의 출력을 입력받아 출력하기 위한 출력부(1110)를 구비한다.

구체적으로, 상기 버퍼부(1100)는 통상의 전류 미러로 구성되었고 출력부(1110)는 다수개의 인버터로 구

성되었다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상기와 같이 본 발명은 외부 클럭을 버퍼링하는 다음단에 지연고정루프를 사용함으로써 지연고정루프를 이용한 지연 고정된 내부 클럭으로 tAA(어드레스 액세스 타임)와 tAC(데이터 액세스 타임)을 1나노초 이상 빠르게 할 수 있어 칩의 성능을 향상시킨다.

(57) 청구의 범위

청구항 1. 반도체 메모리 장치에 있어서,

외부클럭을 입력받아서 버퍼링하는 클럭 입력 버퍼;

상기 클럭 입력 버퍼의 출력을 입력받아서 클럭에 동기된 내부 클럭을 발생하기 위한 지연고정루프;

상기 지연고정루프에서 출력된 내부클럭과 제어입력신호를 입력받아 제어신호를 생성하기 위한 제어 버퍼;

상기 지연고정루프에서 출력된 내부클럭과 어드레스입력신호를 입력받아 어드레스를 발생하기 위한 어드레스 버퍼; 및

상기 제어 버퍼로부터 출력된 제어신호를 입력받아 제어신호의 조합에 의해서 여러가지 명령을 생성하기 위한 커맨드 디코더

를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 2. 반도체 메모리 장치에 있어서,

지연고정루프 비활성화신호와 지연고정루프 리셋신호와 파워업신호와 셀프리프레쉬응답신호와 셀프리프레쉬신호를 입력받아 카스 버퍼부를 제어하기 위한 클럭 제어부;

클럭과 반전된 클럭과 파워업신호를 입력받아 클럭구동부와 카스래치부를 제어하는 제2클럭을 발생하기 위한 제2클럭발생부;

지연고정루프로부터의 지연고정루프상승클럭을 입력받아 시간지연과 버퍼링을 하기 위한 지연고정루프클럭버퍼부;

상기 제2클럭과 상기 지연고정루프클럭버퍼부의 출력인 지연고정루프제2클럭과 상기 클럭제어부의 출력인 클럭선택신호를 입력받아 지연고정루프에 의해서 제어받는 제4클럭을 생성하기 위한 클럭구동부;

상기 클럭제어부의 출력신호인 지연고정루프제어신호와 외부로부터의 카스신호와 기준전압을 입력받아 버퍼링하기 위한 카스버퍼부; 및

상기 카스버퍼부의 출력인 내부카스신호와 상기 제2클럭과 상기 지연고정루프제2클럭과 상기 지연고정루프제어신호와 상기 카스신호와 기준전압을 입력받아 카스버퍼부를 거친 신호를 래치하기 위한 카스래치부를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 3. 제 2 항에 있어서,

상기 클럭 제어부는,

지연고정루프 비활성화신호와 지연고정루프 리셋신호와 셀프리프레쉬응답신호와 셀프리프레쉬신호를 입력받는 입력부; 및

상기 입력부의 출력과 파워업신호를 입력받아 래치하고 클럭선택신호를 출력하기 위한 래치 및 출력부를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 4. 제 2 항에 있어서,

제2클럭발생부는,

클럭과 반전된 클럭과 파워업신호를 입력받아 파워가 인가되면 클럭을 버퍼링하고 증폭하기 위한 버퍼부; 및

상기 버퍼부의 출력신호를 입력받아 펄스를 생성하기 위한 펄스생성부를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 5. 제 4 항에 있어서,

상기 버퍼부는 전류 미러로 구성된 것을 특징으로 하는 제어 및 어드레스 장치.

청구항 6. 제 2 항에 있어서,

자연고정루프클럭버퍼부는 자연고정루프로부터의 자연고정루프상승클럭을 입력받아 버퍼링하는 짝수개의 다수의 인버터를 구비하는 것을 특징으로 하는 제어 및 어드레스 장치.

청구항 7. 제 2 항에 있어서,

클럭구동부는 상기 자연고정루프제2클럭과 상기 클럭선택신호에 응답하는 제1삼상버퍼;

상기 제2클럭과 상기 클럭선택신호에 응답하는 제2삼상버퍼;

상기 제2삼상버퍼의 출력을 입력받아 제4클럭을 출력하기 위한 출력부; 및

상기 제4클럭을 입력받아 제4클럭의 펄스 폭을 결정하기 위한 지연부

를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 8. 제 2 항에 있어서,

카스버퍼부는,

카스신호와 기준전압을 비교하여 버퍼링하기 위한 버퍼부; 및

상기 버퍼부의 출력을 입력받아 출력하기 위한 출력부

를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 9. 제 8 항에 있어서,

상기 버퍼부는 전류 미러로 구성된 것을 특징으로 하는 제어 및 어드레스 장치.

청구항 10. 제 8 항에 있어서,

상기 출력부는 다수개의 인버터로 구성된 것을 특징으로 하는 제어 및 어드레스 장치.

청구항 11. 제 2 항에 있어서,

카스래치부는,

상기 자연고정루프제어신호와 상기 자연고정루프제2클럭과 상기 제2클럭을 입력받아 제어신호를 발생시키는 제어부; 및

상기 제어신호와 상기 내부카스신호와 상기 카스신호를 입력받아 래치하기 위한 래치부

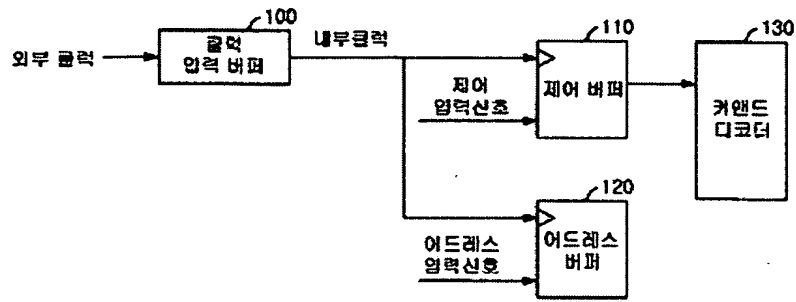
를 포함하여 이루어진 제어 및 어드레스 장치.

청구항 12. 제 11 항에 있어서,

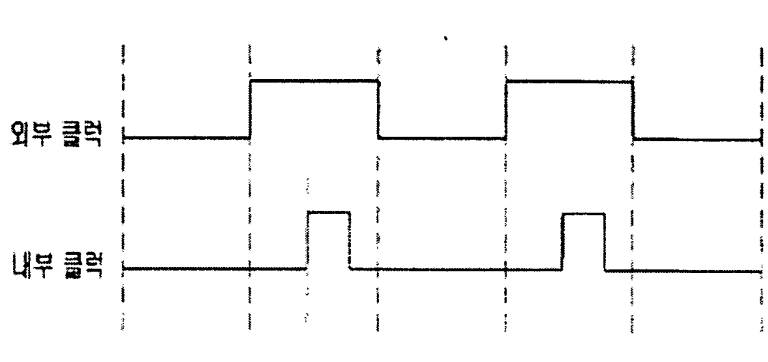
상기 래치부는 차동 증폭기로 구성된 것을 특징으로 하는 제어 및 어드레스 장치.

도면

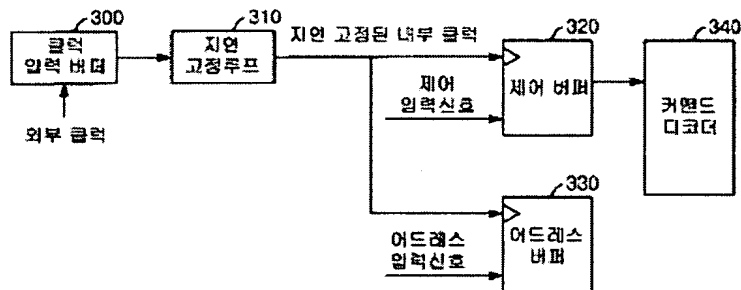
도면1



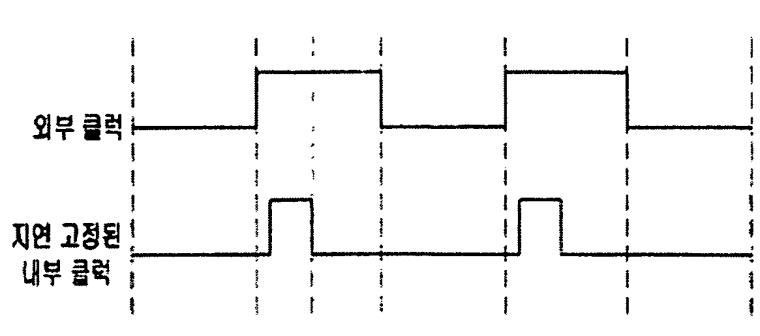
도면2



도면3



도 24



도 25

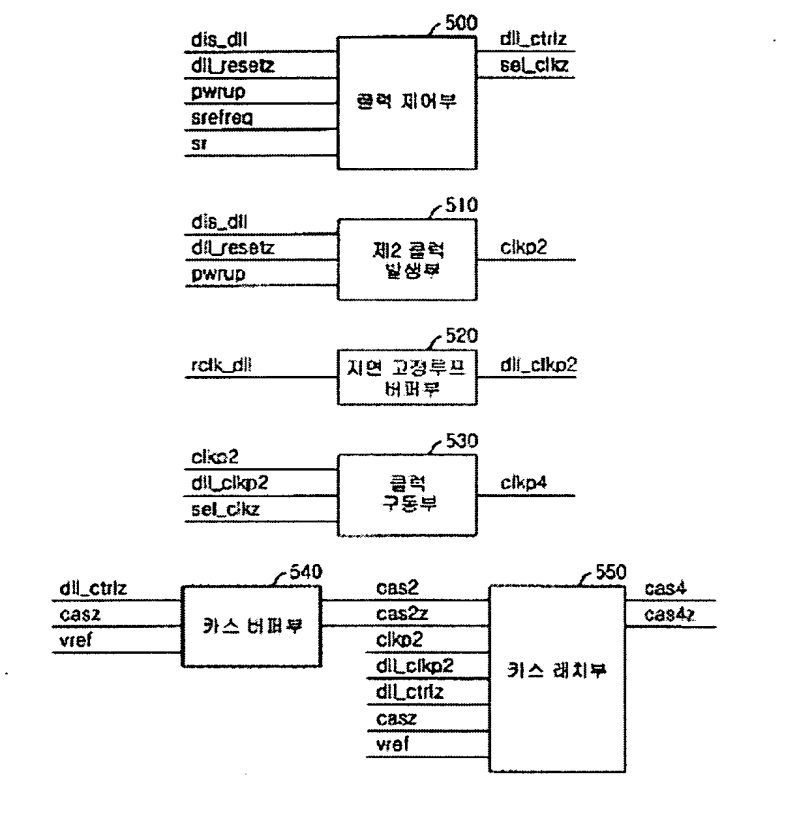
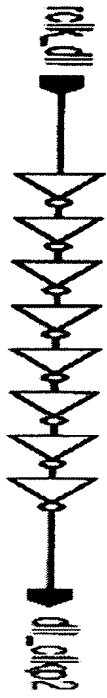
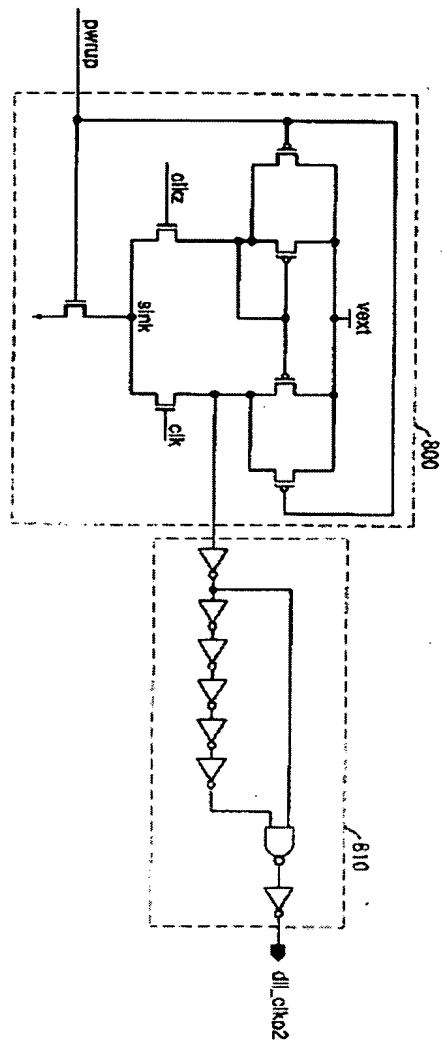


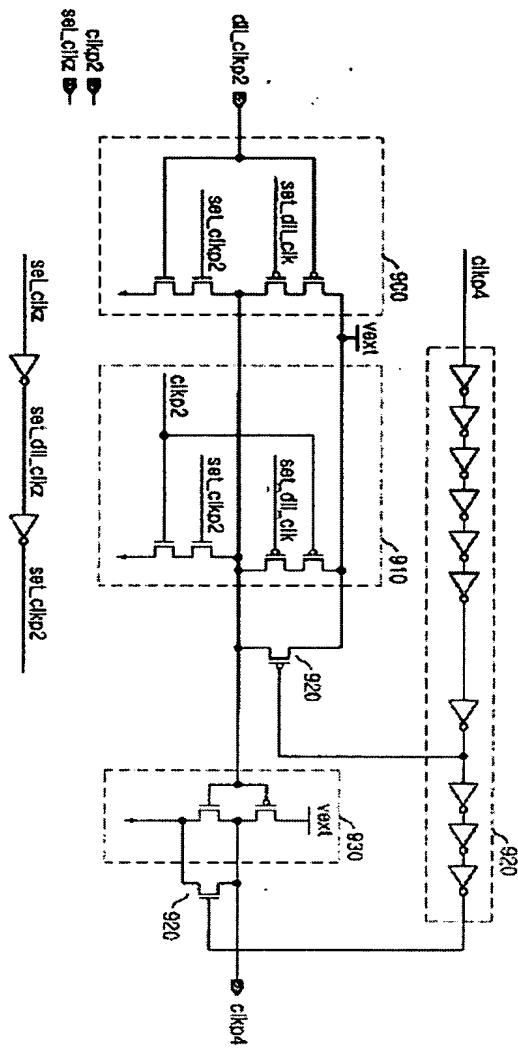
图 5

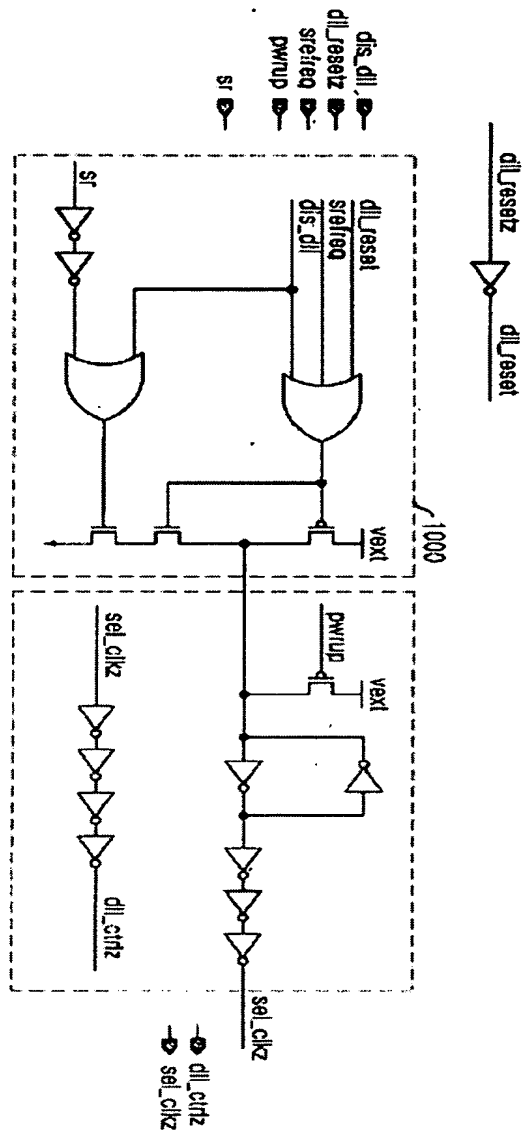


528



도 10





0.05

도표 11

